

Autor: Arley Henrique Salvador

RESUMO

O artigo refere-se a um método de alinhamento de quadro em sistemas de transmissão em redes ópticas (OTN) de alta taxa de transmissão, tal como, por exemplo, 100 Gbit/s.

O trabalho revela uma solução alternativa para alinhamento de quadro sem o emprego de redes de comparadores.

A técnica que é descrita se aplica ao campo da Engenharia de Telecomunicações, mais especificamente à técnica de alinhamento de quadros aplicado a comunicações de 100 Gbit/s por fibra óptica, ou redes OTN.

Palavras-chave: Alinhamento. OTN. Filtro Casado.

LISTA DE ABREVIATURAS E SIGLAS

ABNT	Associação Brasileira de Normas Técnicas
BNDES	Banco Nacional de Desenvolvimento Econômico e Social
IBGE	Instituto Brasileiro de Geografia e Estatística
IBICT	Instituto Brasileiro de Informação em Ciência e Tecnologia
NBR	Norma Brasileira

1 INTRODUÇÃO

Na recepção de dados em OTN, antes que se possa realizar qualquer tipo de processamento, é necessário primeiramente realizar o alinhamento de quadro. Esta proposta, apesar de ser apresentada dentro de um contexto de aplicações ópticas, pode de ser empregada no alinhamento de outros tipos de protocolos, como por exemplo 10/100GEth, SDH, Fibre Channel, etc.

No início dos anos 90, a arquitetura de rede de transporte com Hierarquia Digital Plesiócrona (PDH) evoluiu para a de Hierarquia Digital Síncrona (SDH), obtendo-se uma plataforma de transporte síncrono com grande capacidade para serviços de voz e dados. Contudo, com o rápido desenvolvimento da largura de banda para serviços de dados, a largura de banda e a capacidade da rede SDH com um único comprimento de onda já não satisfaziam a crescente demanda.

As redes DWDM (Dense Wavelength Division Multiplexing) enfrentaram então a questão da falta de largura de banda. Tais redes, quando passaram a dispor da tecnologia de transporte óptico (OTN), puderam fornecer gerenciamento para as redes OTN com grande capacidade adaptativa e também com o poderoso recurso de dispatching de nível de comprimento de onda e sub-nível de comprimento de onda.

Com as redes OTN, o serviço de comprimento de onda e sub-wavelength pôde ser fornecido rapidamente, com a largura de banda que as aplicações comerciais demandavam.

O protocolo OTN, definido pela recomendação/norma ITU-T G.709, apresenta sua própria estrutura de quadros, cujo campo de alinhamento (header) (10) é evidenciado na Figura 1, que apresenta a estrutura de um quadro OTN.

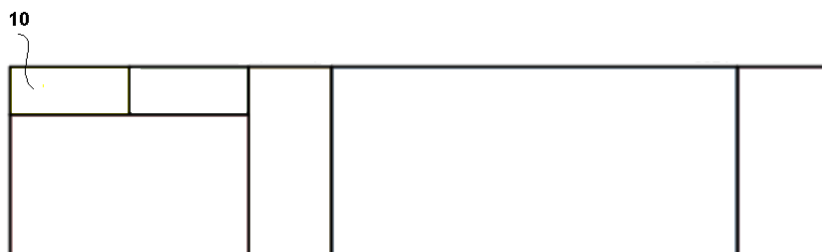


Figura 1 - Quadro OTN

Os dados são contados em bytes e transmitidos com o bit mais significativo em primeiro lugar, da esquerda para direita e de cima para baixo.

Contudo, essa conversão serial-paralelo aumenta a complexidade do alinhador, pois o demux não tem informação sobre a estrutura do quadro OTN e assim, a paralelização do dado de entrada pode fazer com que a sequência de alinhamento se inicie em qualquer bit do dado paralelizado.

A Figura 3 ilustra as situações que podem resultar da conversão serial-paralelo, onde o FAS (22) é trasladado para diferentes posições entre os dados paralelos.

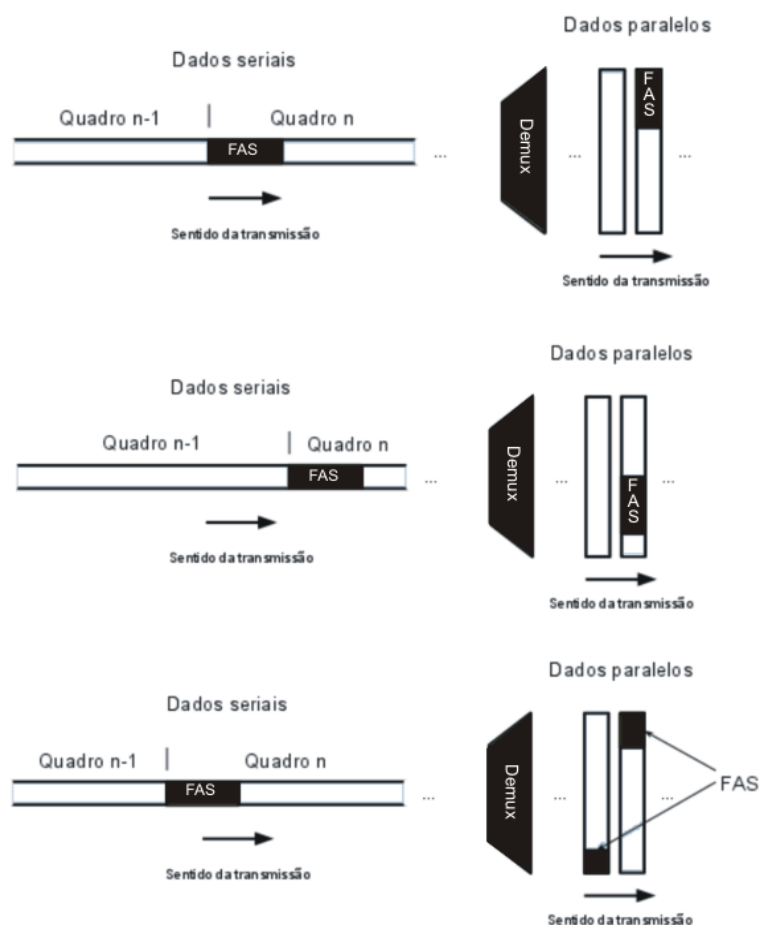


Figura 3 - Conversões Serial/Paralelo com FAS Traslado

Os dados da primeira sequência de alinhamento (22) da Figura 3 coincidem com a borda dos bits paralelizados. Nota-se a estrutura de paralelização dos dados, em que o campo FAS (22) está perfeitamente alinhado com o início do dado paralelizado.

Os dados da segunda sequência de alinhamento (22) da Figura 3 não coincidem com a borda dos bits paralelizados, mas estão inteiramente contidos dentro de um dado de entrada paralelizado. Na estrutura de paralelização dos dados

mostrada o campo FAS (22) não está alinhado com o início do dado paralelizado, mas inteiramente contido em um único dado.

Os dados da terceira sequência de alinhamento (22) da Figura 3 estão divididos em dois dados de entrada diferentes. Na estrutura de paralelização dos dados, o campo FAS (22) está dividido entre dois dados paralelizados.

O módulo alinhador de quadros deve ser capaz de identificar a presença e a posição da sequência de alinhamento FAS (22) em qualquer uma das situações apresentadas.

Podem ser encontradas algumas publicações sobre tecnologias de frame alignment que utilizam diferentes hardwares para a ação de deframer que atua no estágio de recepção dos sinais ópticos.

Também existem no mercado alguns fabricantes de FPGA's que vendem um código IP (código para geração de hardware) que inclui um alinhador de quadros OTN.

Mas não há muita informação disponível sobre o alinhador de quadros, que é apenas citado na literatura especializada.

Também podem ser encontrados alguns produtos para o alinhamento de quadros na área de OTN nos quais, contudo, a recepção de quadros OTN contempla blocos com funções muito complexas (com relação às funções desempenhadas pelo alinhador de quadros proposto pela presente invenção).

A publicação "A 10 Gbps OTN Framer Implementation Targeting FPGA Devices" (artigo em parceria entre a PUC-RS e uma empresa brasileira), por exemplo, apresenta uma arquitetura de alinhador de quadros OTN que realiza a comparação em dois passos. No primeiro passo ocorrem as comparações parciais e é identificada a presença de 3 bytes da palavra de alinhamento. A seguir, o dado deslocado alinhando-se pela posição da primeira comparação parcial correta. Uma vez alinhado, o segundo passo executa uma comparação completa entre os 6 primeiros bytes e os valores esperados na palavra de alinhamento.

Contudo o método revelado no referido artigo utiliza cerca de 50% mais comparadores de bits do que o número utilizado pelo método proposto pela presente invenção, além de não se adequar à norma ITU-T G.798, que define o funcionamento dos equipamentos OTN e, em algumas circunstâncias, não reconhece a palavra de alinhamento.

Quanto a tecnologias publicadas em pedidos de patentes encontram-se algumas relacionadas à matéria, comentadas a seguir.

A patente US2009208218 A1 (Xin Xiao et al.) intitulada “METHOD AND APPARATUS FOR DISPATCHING SIGNALS IN AN OPTICAL TRANSPORT NETWORK”, por exemplo, revela método e dispositivo para o envio de sinais OTN. O método compreende os passos de receber um quadro OTN; determinar em sequência se cada byte no quadro OTN é um byte de cabeçalho (overhead); determinar, caso positivo, se inclui dados de alinhamento; atribuir, nesse caso, o byte na sequência correspondente a um canal com base em um número da sequência de um intervalo do quadro OTN; caso contrário, armazenar o byte em um buffer; ou atribuir o byte na sequência a um canal correspondente com base em uma localização do byte no quadro OTN, se o byte não for um byte de overhead.

A patente EP1826925 A1 (Li Xiaodong et Zou Shimin) intitulada “UNIFORM SCHEDULING SYSTEM OF SYNCHRONOUS OPTICAL NETWORK AND OPTICAL TRANSPORT NETWORK AND METHOD THEREOF” revela um método e um sistema para chavear um sinal OTN usando SDH. O sistema inclui uma unidade para fornecer um sinal de relógio e um sinal de indicação de cabeçalho de quadro, uma unidade de conexão cruzada para a conexão cruzada de um sinal a uma taxa de modo de transferência síncrono de nível uniforme, e uma unidade de processamento de interface de sinal de OTN para mapeamento, com base no sinal do relógio do sistema e no sinal de indicação de quadro de cabeçalho fornecidos pela unidade de relógio do sistema, um sinal OTN recebido do lado de circuito, por meio de um barramento de modo de transferência síncrono, a ser enviado para a unidade de conexão cruzada, e o de-mapeamento de uma saída de sinal pela unidade de conexão cruzada, através do barramento modo de transferência síncrono, a um sinal de OTN para ser a saída para o lado do circuito.

A patente EP2045935 A2 (Nakashima, Hisao et al) intitulada “OPTICAL TRANSMISSION SYSTEM AND OPTICAL TRANSMISSION METHOD” revela um sistema de transmissão óptica, em que num transmissor óptico, um bit de detecção tendo um padrão específico, de acordo com o número de bits a ser transmitido dentro de um intervalo, é dado com relação a um sinal de transmissão cuja informação de transmissão tenham sido codificada de acordo com um formato predefinido, e um sinal óptico gerado por modulação de luz de acordo com o sinal de

transmissão é transmitido a uma linha de transmissão.

As patentes citadas, que caracterizam o estado da técnica, não revelam novas soluções para o alinhamento de quadros OTN que utilizem um baixo número de comparadores de bits (como o objeto da invenção).

A solução trivial da busca por um conjunto de 4 bytes da sequência de alinhamento consiste em comparar todos os conjuntos de 4 bytes com a sequência procurada. Supondo um dado de entrada de 64 bits e considerando que a sequência de alinhamento pode estar dividida em duas palavras, seria necessário avaliar um conjunto de 64 comparadores de 32 bits, totalizando 2048 comparações por dado de entrada.

Uma alternativa à solução trivial é apresentada na já citada publicação "A 10 Gbps OTN Framer Implementation Targeting FPGA Devices" na qual o alinhamento é feito em dois passos, realiza o alinhamento utilizando 64 comparadores de 24 bits e 1 comprador de 32 bits, totalizando 1568 comparações por dado de entrada.

Quanto maior o número de comparações por dado de entrada, mais recursos de hardware serão necessários para a implementação do alinhador de quadros OTN. Em uma implementação em FPGA, o uso de um grande número de comparadores significa que menos recursos do FPGA estarão disponíveis para outros blocos; e em uma implantação ASIC, quanto maior o número de comparadores, maior será a área do chip, implicando em maior custo do projeto.

2 DESCRIÇÃO DO FILTRO CASADO

A detecção e identificação da posição de uma sequência de alinhamento (FA OH para OTN), pertinente a proposta deste artigo, bem como seus benefícios, consiste em filtrar digitalmente o fluxo de dados com um circuito próprio para identificar padrões pré-estabelecidos em uma sequência aleatória (61), onde um filtro digital recebe como dados de entrada uma sequência de amostras $x[n]$ e gera na saída uma sequência de amostras $y[n]$ correspondentes a filtragem dos dados de entrada, conforme apresentado na Figura 4, onde esta sequência de amostras $x[n]$ pode ser recebida de forma serial ou paralela.



Figura 4 - Representação do Filtro Casado

2.1 FILTRO CASADO SERIAL

A Figura 5 demonstra o circuito que implementa um “filtro casado” com resposta finita a um impulso, onde nesta estrutura “ H ” = $[h_1, h_2, h_3, \dots, h_k]$ e define os coeficientes de um filtro de ordem k . A resposta em frequência do filtro é definida pelos coeficientes “ H ” do filtro, que também são conhecidos como resposta ao impulso do filtro.

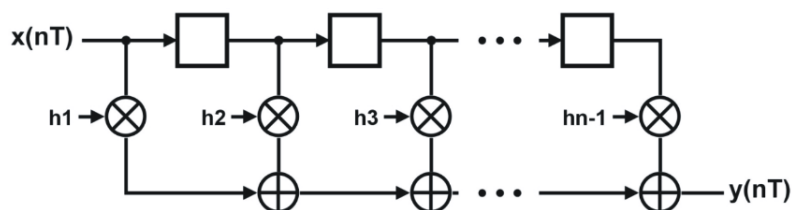


Figura 5 - Representação do Filtro Casado

Por sua vez os “filtros casados” têm a característica de maximizar o nível de saída quando um padrão exatamente igual aos coeficientes “ H ” é recebido em sua entrada.

A proposta do novo método inventivo reside em “substituir os coeficientes do filtro digital” pelo padrão de 6 bytes que se deseja encontrar no fluxo de dados recebido.

O processo de filtragem pode também ser descrito como uma operação de convolução (representada pelo operador *) entre a resposta ao impulso do filtro e a sequência recebida, conforme descrito pela equação:

$$y[n]=x[n] * h[n]$$

$$y[n]=\sum_{k=-\infty}^{\infty} x[k]h[n-k]$$

Onde:

$x[n]$ representa a sequência de dados recebidos;

$h[n]$ representa um vetor com os coeficientes do filtro casado e

$y[n]$ corresponde a sequência de amostras de saída do filtro casado.

Como já mencionado, $y[n]$ é interpretado nesta aplicação como um medidor de grau de igualdade com um padrão conhecido.

Para simplificar a implementação, os coeficientes “H” podem ser definidos de modo que quando for detectado uma sequência de alinhamento, o dado de saída do filtro seja uma potência de 2 (ex: 16, 32, 64). Neste caso, quando este valor for representado de forma binária, somente o bit mais significativo será especificado. Portanto, o bit MSB indica a ocorrência de uma máxima verossimilhança na filtragem e, para qualquer outro valor possível da saída do filtro o bit MSB de $y[n]$ será 0. Como a próxima etapa de alinhamento necessita somente saber a existência ou não do padrão H, somente o bit MSB de $y[n]$ é gerado na saída do filtro.

De maneira análoga, um filtro pode receber os dados de forma paralela, ou seja, são recebidas k amostras da sequência de entrada em um mesmo ciclo de clock, onde:

$$x[n] \text{ para } n=0,1,2,\dots,k-1$$

Neste caso, deve-se utilizar um filtro com uma estrutura capaz de também gerar k amostras de saída correspondentes a filtragem da sequência de entrada. Desta forma, tanto para o caso de sistemas que necessitem processar os dados de forma serial quanto paralela, o invento do alinhador de quadros com filtro casado pode ser empregado.

2.2 FILTRO CASADO PARALELO

A Figura 6 esboça a topologia de um filtro digital paralelo. Quando o filtro receber um padrão de dados semelhante aos seus coeficientes, o nível da sua saída será maximizado, indicando a presença de um cabeçalho de alinhamento OTN.

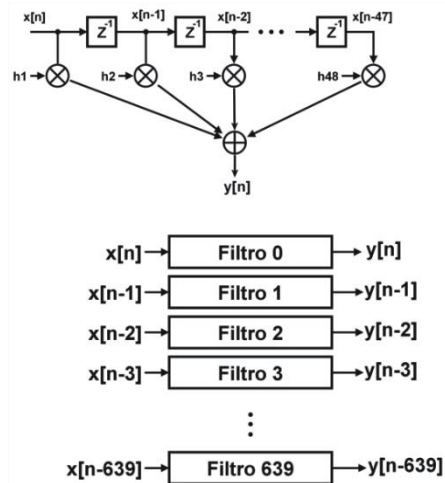


Figura 6 - Topologia do Filtro Casado

Assim como na topologia serial, na topologia paralela, a saída do filtro conterá um bit que quando especificado para 1, indica a existência de uma sequência de alinhamento. Como são geradas k amostras por vez, a saída do filtro terá k bits.

Por exemplo, se o projeto do alinhador for desenvolvido para processar 100 amostra a cada pulso de clock, o filtro conterá 100 bits na saída. Se em um determinado momento do processamento o bit 50 for definido com nível lógico 1, isto indica que nesta posição contém o padrão procurado.

Ao sair do estado de reset, o hardware irá operar no modo “out of frame”, buscando a palavra de alinhamento sem que o realinhador execute nenhum alinhamento no dado de saída.

No modo “in frame”, o hardware confirma que o dado de entrada permanece alinhado, verificando isso apenas no momento em que a palavra de alinhamento é esperada.

A etapa do módulo realinhador, alinha o dado de saída conforme a posição onde a palavra de alinhamento foi detectada.

O modo “out of frame” inicia-se com a avaliação do barramento de saída do filtro, doravante referenciado como vetor de resultados, a cada novo dado de entrada, com o passo de busca, pela palavra de alinhamento em todas as posições possíveis do dado.

Se a palavra de alinhamento tiver sido parcialmente encontrada, a continuação será o passo de busca no dado seguinte, onde as matrizes de alinhamento serão avaliadas apenas nas posições específicas que confirmem os bytes faltantes nas posições esperadas.

Se a continuação da palavra de alinhamento não for confirmada, o alinhamento não será válido, e a máquina retorna ao passo de busca.

Após a palavra de alinhamento ser inteiramente encontrada (em uma ou duas palavras), a máquina aguarda o intervalo de tempo de um quadro OTN, de forma que o próximo dado de entrada corresponda à posição da palavra de alinhamento do quadro OTN seguinte.

Nesse momento a máquina avalia os bits do vetor de resultados nas mesmas posições onde a primeira palavra de alinhamento foi detectada.

Essa confirmação será executada no passo se for esperado que a palavra de alinhamento esteja inteiramente contida em um único dado de entrada; ou nos passos, caso a palavra de alinhamento esteja dividida em dois dados de entrada.

Se em qualquer momento dos passos de confirmação as matrizes de resultados não confirmarem o resultado prévio, a máquina de estados irá retornar ao passo de busca da primeira palavra de alinhamento, avaliando todos os dados de entrada. Caso a posição da palavra de alinhamento seja confirmada, o hardware passará a operar no modo in frame.

Nesse modo o hardware irá aguardar até o início de um novo quadro OTN, quando verifica o conteúdo das matrizes de alinhamento, conferindo se a palavra de alinhamento foi detectada na posição definida no modo out of frame.

Assim como nos passos de confirmação anterior, poderão ser avaliados um ou dois dados de entrada, dependendo da posição onde a palavra de alinhamento foi previamente detectada.

Em seguida é realizado o passo de avaliação do resultado dessa comparação. Se a palavra de alinhamento não for detectada na posição esperada e

este for o quinto quadro consecutivo em que esta confirmação não ocorre, a máquina de estados retorna ao modo out of frame.

Caso contrário (se a palavra de alinhamento foi confirmada na posição esperada ou ocorreram menos de 5 erros consecutivos), o modo in frame retorna ao passo inicial , aguardando pelo início de um novo quadro OTN.

2.3 EXEMPLO DO PROCESSO DE ALINHAMENTO

Para apresentar um exemplo deste processo de alinhamento de quadro, inicialmente é considerado que um sistema transmite uma sequência de 50 bits aleatórios com uma função densidade de probabilidade uniforme.

Esta sequência pode ser representada por $x[n]$, onde $n \in \{1, 2, 3, \dots, 50\}$ corresponde ao índice de cada elemento da sequência. Os elementos entre 9 e 24 da sequência $x[n]$ são substituídos por um padrão de bits conhecidos, definidos por $H = \{1, 1, 1, 1, 0, 1, 1, 0, 0, 0, 1, 0, 0, 1, 1, 0\}$, onde H também corresponde à resposta ao impulso do filtro casado.

Em apertada síntese o objetivo do método inventivo reside em identificar o padrão H na sequência $x[n]$ para que o receptor seja capaz de identificar o início de um novo quadro.

As amostras de saída do filtro casado estão apresentadas na Figura 7, onde se observa que a amostra 16 da sequência $y[n]$ da saída do filtro possui a maior amplitude entre as amostras de saída, indicando uma máxima verossimilhança com o padrão procurado. Portanto, estatisticamente existe uma grande probabilidade de que o padrão esteja presente entre as amostras 9 e 24.

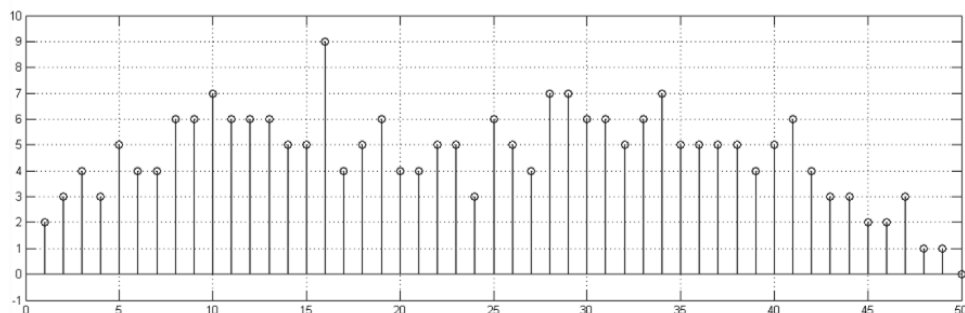


Figura 7 - Amostras da Saída do Filtro Casado

CONCLUSÃO

Em aplicações de transporte óptico desenvolvidas com hardware programável os recursos disponíveis em FPGA destinados a processamento digital de sinais são pouco utilizados. Por outro lado, os recursos de lógica combinacional e sequencial (Elementos Lógicos) são amplamente consumidos em funcionalidades de alinhamento de quadro, por exemplo.

Conforme mencionado anteriormente, objetivo principal do presente artigo é apresentar um método de alinhamento de quadros OTN, que atue no estágio de recepção de sinais ópticos, implementável através de um dispositivo programável, que identifique a presença e a posição da sequência de alinhamento OTN, utilizando técnicas de processamento digital de sinais. Assim, seria possível empregar os recursos de processamento digital para implementar o alinhador e disponibilizar a lógica, que seria utilizada para este fim, em outras funcionalidades da aplicação.